

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-318154**

(43)Date of publication of application : **27.12.1988**

(51)Int. Cl.

H01L 27/14
H04N 5/335

(21)Application number : **62-153984**

(71)Applicant : **FUJITSU LTD**

(22)Date of filing : **19.06.1987**

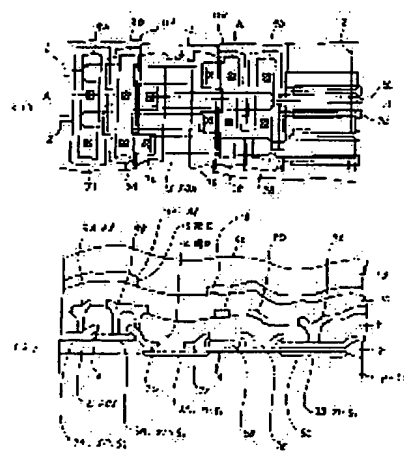
(72)Inventor : **NABETA TERUYUKI**

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To inhibit the dispersion of the light-receiving areas between pixels by a method wherein an aperture to demarcate a light-receiving region is formed of the lowest light-shielding layers.

CONSTITUTION: A field insulating layer 2 for element isolation is formed on a p-type Si substrate 1 and n-type regions 3A and 3B are each formed in a light-receiving part and a CCD register part. First-layer poly Si layers 5A, 5B and 5C are each formed on the substrate through a gate insulating layer 4 at the light-receiving part and the CCD register part. Moreover, second-layer polysilicon layers 7A, 7B, 7C, 7D and 7E are formed through an insulating layer 6. An aperture 14 to demarcate the area of a light-receiving region is formed of the light-shielding layers 7D and 7E. Then, first-layer Al wiring layers 9A ~ 9E are formed through an interlayer insulating layer. Then, second-layer Al layers 11A and 11B, which are used as light-shielding layers for a whole element, are formed through an interlayer insulating layer 10. An aperture 15 is formed on the light-receiving region. Lastly, an insulating layer 13 for covering is covered.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-318154

⑤ Int.Cl.⁴

識別記号

庁内整理番号

③ 公開 昭和63年(1988)12月27日

H 01 L 27/14
H 04 N 5/335

B-8122-5F
F-8420-5C

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭62-153984

⑯ 出 願 昭62(1987)6月19日

⑰ 発 明 者 鍋 田 照 行 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

光センサを搭載する半導体装置において、

一導電型半導体基板内にその表面より光センサの受光領域を含んで形成された逆導電型領域と、該基板上にゲート絶縁層を介し、かつ該逆導電型領域に隣接して形成された、導電層よりなるフォトゲートとを有する光センサと、

該基板上に絶縁層を介して形成され、かつ受光領域に開口部を有する下層の遮光層と、

該基板上に前記開口部より面積の大きい開口部を有する上層の遮光層

とを有することを特徴とする半導体装置。

3. 発明の詳細な説明

(概要)

光センサの受光領域を画定する開口部を最下層

に形成した遮光層に開けた構造の半導体装置に関し、

画素間での受光部の開口面積の変動を抑制し、出力信号の均一性の向上を目的とし、

光センサを搭載する半導体装置において、一導電型半導体基板内にその表面より光センサの受光領域を含んで形成された逆導電型領域と、該基板上にゲート絶縁層を介し、かつ該逆導電型領域に隣接して形成された、導電層よりなるフォトゲートとを有する光センサと、該基板上に絶縁層を介して形成され、かつ受光領域に開口部を有する下層の遮光層と、該基板上に前記開口部より面積の大きい開口部を有する上層の遮光層とで構成する。

(産業上の利用分野)

本発明は光センサを搭載する半導体装置に係り、特に光センサの受光領域を画定する開口部を最下層に形成した遮光層に開けた構造の半導体装置に関する。

CCD は現在FAX、OCR 等の通信、情報処理機器や、

カメラやビデオカメラ等の画像読み取りに広く使用されている。

従って、ここでは光センサを搭載する半導体装置の典型例として、CCD について説明することにする。

(従来の技術)

従来の受光部周辺の遮蔽方法は第4図のように最上層のAl遮光層を用いている。いまその構造を工程順に説明する。

第4図(1)、(2)は従来の構造を説明するCCDの平面図とA-A断面図である。

図において、p-Si基板1上に素子分離用のフィールド絶縁層(FOX)2が形成され、受光部およびCCDレジスタ部にそれぞれn型領域3A、3Bが形成される。

基板上にゲート絶縁層4を介して受光部およびCCDレジスタ部にそれぞれ1層目のポリSi層5A、5Bおよび5Cが形成される。ここで、ポリSi層5A、5Bはフォトダイオードにバイアスを与えるフォト

ゲートで、ポリSi層5CはCCDレジスタ部の電荷転送ゲートである。

つぎに、1層目のポリSi層5A、5Bおよび5Cと層間絶縁層6で絶縁して2層目のポリSi層7A、7Bおよび7C(7Cは平面図に記載)が形成される。ここで、ポリSi層7A、7BはフォトダイオードよりCCDレジスタ部に電荷を転送するトランスファゲートで、ポリSi層7CはCCDレジスタ部の電荷転送ゲートである。

つぎに、層間絶縁層8を介して1層目のAl配線層9A、9B、9C、9Dおよび9Eを形成する。Al配線層9A、9Dはトランスファゲート7A、7Bにクロック信号を与える配線、Al配線層9B、9Cはフォトゲート5A、5Bにバイアスを与える配線、Al配線層9EはCCDレジスタ部の電荷転送ゲート7Cに駆動クロックを与える配線である。

つぎに、層間絶縁層10を介して2層目のAl層11A、11Bを形成する。2層目のAl層11A、11Bは遮光層となり、受光領域上には開口部12が形成される。

最後に、カバーの絶縁層13が被覆される。

(発明が解決しようとする問題点)

従来の受光部周辺の光遮蔽は、素子全域の光遮蔽と共通に最上層のAl遮光層を用いている。このために、

① 約 $2\mu\text{m}$ の厚い層間絶縁層上に被着されたAl遮光層をパターニングするために、層間絶縁層の凹凸によりパターニング精度が下がり、受光部の面積が各画素間でバラツキを生ずる。

② 光遮蔽用最上層のAl遮光層とフォトダイオード間の距離が上記のように約 $2\mu\text{m}$ あるので、光の回折によりフォトダイオード以外の領域にも光がまわり込みノイズが大きくなり、さらに極端な場合は隣接するフォトダイオード間にクロストークを生ずる。

(問題点を解決するための手段)

上記問題点の解決は、光センサを搭載する半導体装置において、一導電型半導体基板内にその表

面より光センサの受光領域を含んで形成された逆導電型領域と、該基板上にゲート絶縁層を介し、かつ該逆導電型領域に隣接して形成された、導電層よりなるフォトゲートとを有する光センサと、該基板上に絶縁層を介して形成され、かつ受光領域に開口部を有する下層の遮光層と、該基板上に前記開口部より面積の大きい開口部を有する上層の遮光層とを有する本発明による半導体装置により達成される。

(作用)

本発明は受光領域を画定する開口を最下層の遮光層に行うことにより、リソグラフィの際の基板の凹凸を減少させてパターニング精度を上げて各画素間の受光面積のバラツキを抑え、かつ遮光層とフォトダイオード間の距離を1000 \AA 程度に小さくして光のまわり込みを防止するようにしたものである。

(実施例)

第1図(1), (2)は本発明の実施例の構造を説明するCCDの平面図とA-A断面図である。

図において、p-Si基板1上に素子分離用のフィールド絶縁層(FOX)2が形成され、受光部およびCCDレジスタ部にそれぞれn型領域3A, 3Bが形成される。

基板上にゲート絶縁層4を介して受光部およびCCDレジスタ部にそれぞれ1層目のポリSi層5A, 5Bおよび5Cが形成される。ここで、ポリSi層5A, 5Bはフォトダイオードにバイアスを与えるフォトゲートで、ポリSi層5CはCCDレジスタ部の電荷転送ゲートである。

つぎに、1層目のポリSi層5A, 5Bおよび5Cと絶縁層6で絶縁して2層目のポリSi層7A, 7B, 7Cおよび7D, 7Eが形成される。ここで、ポリSi層7A, 7BはフォトダイオードよりCCDレジスタ部に電荷を転送するトランスファゲートで、ポリSi層7CはCCDレジスタ部の電荷転送ゲートで、ポリSi層7D, 7Eは受光部周辺の遮光層である。

以上のように受光部周辺の遮光層以外の各層の構成は略従来例と同様であるが、受光部周辺の遮光層とフォトダイオードとの距離は約1000Åであり、従来の2μmに比し約1/20となり、光のまわり込みは低減する。

また基板上の薄い絶縁層上に直接遮光層を形成するため、リソグラフィ精度は上がり受光部の開口面積を安定して形成することができる。

さらに、上層ほど開口面積が大きいため、受光領域の基板の凹凸が緩和され、プロセス上有利である。

また、本発明の遮光層を得るためのプロセスは2層目ポリSi層の成長と同時に行えばよく、極めて簡単である。

本発明の遮光層7D, 7Eはフォトゲート5A, 5Bと同電位に保たれ、フォトダイオードのまわりを均一な電位にし、各フォトダイオードにかかるバイアスを均一にして、光電変換効率を均一にしている。

第2図は他の実施例の受光領域を説明する平面

図である。ここで、ポリSiは赤外を透過するためシリサイド化してポリサイドとすることが望ましい。あるいは、1層目のポリSi層の代わりに、W, Mo等の高融点遷移金属を用いて各ゲートをメタルゲートとし、この層を受光部周辺の遮光層に利用してもよい。

この際、遮光層7D, 7Eにより受光領域の面積を画定する開口部14が形成される。

つぎに、層間絶縁層8を介して1層目のAl配線層9A, 9B, 9C, 9Dおよび9Eを形成する。Al配線層9A, 9Dはトランスファゲート7A, 7Bにクロック信号を与える配線、Al配線層9B, 9Cはフォトゲート5A, 5Bにバイアスを与える配線、Al配線層9EはCCDレジスタ部の電荷転送ゲート7Cに駆動クロックを与える配線である。

つぎに、層間絶縁層10を介して2層目のAl層11A, 11Bを形成する。2層目のAl層11A, 11Bは素子全体の遮光層となり、受光領域上に前記開口部14より面積の大きい開口部15が形成される。

最後に、カバーの絶縁層13が被覆される。

図である。

第1図の実施例においては、遮光層7D, 7Eは各フォトダイオードの2辺を遮光しているが、この場合は周囲の4辺を遮光している。

このようにするとフォトダイオード個々の遮蔽が完全になり、またバイアスの印加が一層均一化されることになる。

第3図は蓄積ゲートを有するCCDに本発明を適用した実施例を説明する断面図である。

この構造は、フォトダイオードとトランスファゲート間に蓄積ゲートが挿入された構造で、基本的には第1図のCCDと同様に本発明を適用することができる。

蓄積ゲートの下側のn型領域の濃度が大きくなるとここに蓄積される最大電荷量が減ることを利用してCCDの出力を制御するものである。

CCDの出力制御は、フォトダイオードの面積を変えたり、CCDの電荷転送ゲートの面積を変えたりする方法もあるがマスクを多く必要とするため、蓄積ゲートによる方が簡易である。

〔発明の効果〕

以上詳細に説明したように本発明によれば、各画素間での受光部の開口面積の変動が抑制され、出力信号の均一性が向上する。

さらに、開口とフォトダイオード間の距離が縮小された分だけ入力光のまわり込みが低減し、隣接する画素間のクロストークを防止することができる。

また、各フォトダイオードにかかるバイアスを均一化することができる。

4. 図面の簡単な説明

第1図(1)、(2)は本発明の実施例の構造を説明するCCDの平面図とA-A断面図。

第2図は他の実施例の受光領域を説明する平面図。

第3図は蓄積ゲートを有するCCDに本発明を適用した実施例を説明する断面図。

第4図(1)、(2)は従来の構造を説明するCCDの平面図とA-A断面図である。

フォトゲートにバイアスを与える配線、

9Bは1層目のAl配線層で

レジスタ部の転送ゲートに駆動クロックを与える配線、

10は層間絶縁層、

11A、11Bは2層目のAl層で遮光層、

13はカバー絶縁層、

14は受光領域を画定する開口部

である。

代理人 弁理士 井桁貞一



図において、

1はp-Si基板、

2はフィールド絶縁層(FOX)、

3A、3Bはn型領域、

4はゲート絶縁層、

5A、5Bは1層目のポリSi層でフォトゲート、

5Cは1層目のポリSi層で

CCDレジスタ部の転送ゲート、

6は層間絶縁層、

7A、7Bは2層目のポリSi層で

トランスファゲート、

7Cは2層目のポリSi層で

レジスタ部の転送ゲート、

7D、7Eは2層目のポリSi層で

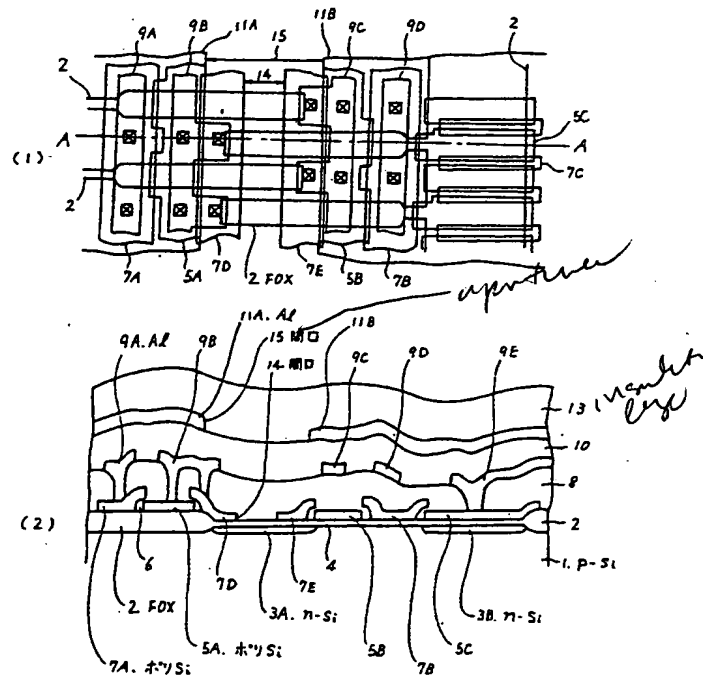
本発明の遮光層、

8は層間絶縁層、

9A、9Dは1層目のAl配線層で

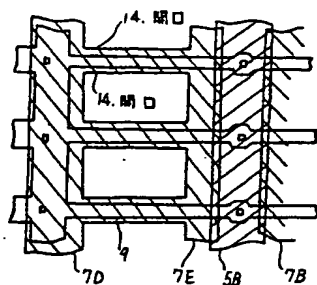
トランスファゲートにクロック信号を与える配線、

9B、9Cは1層目のAl配線層で



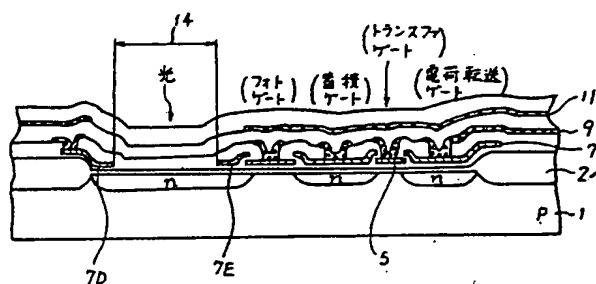
実施例の平面図と断面図

第1図



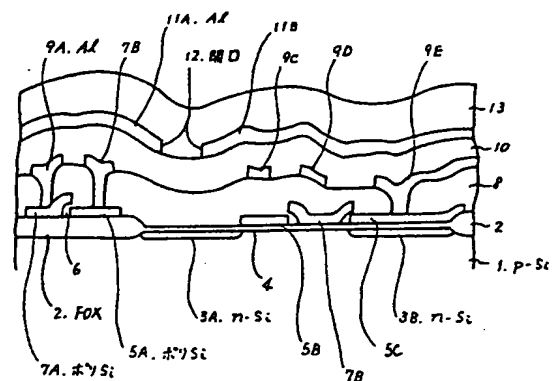
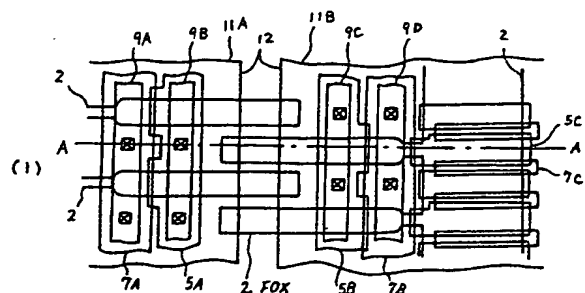
他の実施例の平面図

第 2 回



蓄積ゲートを有するCCDの断面図

第 3 圖



従来例の平面図と断面図

第4回

출력 일자: 2002/12/2

발송번호 : 9-5-2002-043000218
발송일자 : 2002.11.29
제출기일 : 2003.01.29

수신 : 서울 중구 남대문로2가 118 해운센터빌딩
본관17층
백덕열 귀하

100-770

특허청 의견제출통지서

NOTICE OF REQUEST FOR SUBMISSION OF ARGUMENT

출원인 명칭 샤프 가부시키가이샤 (출원인코드: 519980961371)
주소 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고
대리인 성명 백덕열 외 1 명
주소 서울 중구 남대문로2가 118 해운센터빌딩본관17층
출원번호 10-2001-0017413
발명의 명칭 고체촬상장치 및 그의 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-8항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원의 청구항 제 1-8항에 기재된 발명은 반도체기판, 개구를 갖는 차광부, 수광부, 거의 평탄한 상부면을 갖는 패시베이션부를 포함하는 고체촬상장치 및 그 제조방법을 그 기술적 특징으로 기재하고 있으나, 이는 일본 공개특허공보 소63-318154호(1988.12.27)의 수광영역, 개구를 갖는 차광층, 카바절연층의 구성으로부터 통 분야에서 통상의 지식을 가진 자가 용이하게 발명할 수 있는 정도의 것으로 인정됩니다.

(특허법 제29조 제2항)

[첨부]

첨부1 일본공개특허공보 소63-318154호(1988.12.27) 1부 끝.

2002.11.29

특허청

심사4국

반도체2 심사담당관실

심사관 황윤구

